

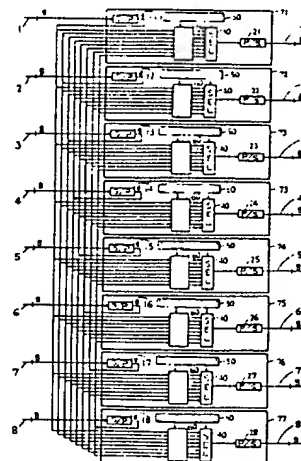
(54) CROSS CONNECTION DEVICE

(11) 4-138800 (A) (43) 13.5.1992 (19) JP
 (21) Appl. No. 2-262316 (22) 28.9.1990
 (71) FUJITSU LTD (72) AKIO MORIMOTO(2)
 (51) Int. Cl.⁵ H04Q11/04, H04J3/02, H04L12/52

Best Available Copy

PURPOSE: To easily obtain a cross connection device consisting of a small-scale hardware by constituting the entirely mounted cross connection device of plural cross connection parts dividing functions between respective input signal line groups and respective output signal line groups in each input signal line group.

CONSTITUTION: Respective functions between the input signal line groups 1 to 8 and output signal line groups 1' to 8' of the cross connection device are constituted of the cross connection parts 71 to 78 in each input signal line group and these functions can easily be divided in each cross connection part. In the case of one input signal line group, the cross connection part 71 is used, and in the case of two input signal line groups, the cross connection parts 71, 72 are used. Thereby, the cross connection device of the small-scale hardware can easily be obtained in the case of using eight input signal line groups or less, and produced at a low cost.



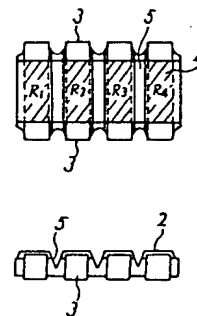
50: reading address part, 60: memory

(54) CHIP NETWORK RESISTOR

(11) 4-139701 (A) (43) 13.5.1992 (19) JP
 (21) Appl. No. 2-261210 (22) 29.9.1990
 (71) MITSUBISHI ELECTRIC CORP (72) MASAOKI KUSUI
 (51) Int. Cl.⁵ H01C7/00

PURPOSE: To improve the reliability of a chip network resistor after mounting and, at the same time, to manufacture the resistor to have numerous networks by providing in advance groove type separators which decide the splitting direction of an alumina substrate to the substrate.

CONSTITUTION: This chip network resistor is composed of a plurality of resistances and V-groove type separators formed into a substrate 1 between the resistances. These grooves do not affect the performance of this resistor. Because of the grooves, the direction of cracks and destruction of the substrate 1 are decided. Namely, since the thickness of the substrate 1 is extremely small at the parts of the separators 5, the substrate 1 cracks only at the parts of the separators 5 and does not crack at the parts of the resistances 4. Therefore, variation of the resistance value and occurrence of disconnection of the resistances 4 can be prevented.

**(54) VOLTAGE-DEPENDENT NONLINEAR RESISTOR**

(11) 4-139702 (A) (43) 13.5.1992 (19) JP
 (21) Appl. No. 2-262067 (22) 29.9.1990
 (71) TAIYO YUDEN CO LTD (72) NORIYUKI KOZU(1)
 (51) Int. Cl.⁵ H01C7/10

PURPOSE: To obtain the title resistor available for a large current and having an excellent nonlinearity by providing a voltage dependent nonlinear resistance formed of a sintered body composed mainly of ZnO containing metallic compounds by specific mol% equivalent to Bi₂O₃, Sb₂O₃, CoO, MnO, SiO₂, Al₂O₃, etc.

CONSTITUTION: This nonlinear-voltage resistor is formed of a sintered body composed mainly of a zinc oxide containing bismuth, antimony, and cobalt compounds by 0.05-2.0mol% in terms of Bi₂O₃, 0.05-3.0mol% in terms of Sb₂O₃, and 0.1-2.0mol% in terms of CoO, respectively. The sintered body also contains a manganese, nickel, and silicon compounds by 0.1-3.0mol% in terms of MnO, 0.05-2.0mol% in terms of NiO, and 0.05-3.0mol% in terms of SiO₂, respectively. The contents of an aluminum and titanium compounds of the sintered body are 0.001-0.5mol% in terms of Al₂O₃, and 0.05-2.0mol% in terms of TiO₂, respectively.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-138800

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月13日

H 04 Q 11/04
H 04 J 3/02
H 04 L 12/52

7117-5K

8843-5K H 04 Q 11/04
7830-5K H 04 L 11/20103 B
C

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 クロスコネクト装置

⑯ 特 願 平2-262316

⑰ 出 願 平2(1990)9月28日

⑱ 発 明 者 森 本 昭 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 中 出 浩 志 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 大 内 直 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1 発明の名称

クロスコネクト装置

2 特許請求の範囲

交換信号単位 n ビットよりなる N チャンネルを多重化した伝送速度 $Xbps$ の入力信号線 Y 本よりなる入力信号線群 y 個 (1, 2, 3, 4) の全データをメモリに書き込み、読み出して、出力信号線群 y 個 (1', 2', 3', 4') の、 n ビットよりなる N チャンネルを多重化し伝送速度 $Xbps$ の出力信号線 Y 本上では時間的・空間的に交換信号単位で入れ換えるクロスコネクト装置において、各入力信号線群 (1, 2, 3, 4) と各出力信号線群 (1', 2', 3', 4') 間には、各入力信号線群に対して n ビットを並列にし且つ Y 個を多重する直並列変換回路 (11, 12, 13, 14) と、入力信号線群 y 個の各直並列変換回路 (11, 12, 13, 14) の各出力には、 y 個の該直並列

変換回路 (11, 12, 13, 14) にて変換されたデータを夫々交換信号単位の n ビットで各アドレスに書き込む単位メモリ (30) Y 個と、該 y 個の単位メモリ (30) より、読出しアドレス発生部 (50) よりアドレスにて読み出した、所望の単位メモリ (30) の交換信号単位の n ビットを選択出力するセレクタ (40) と、該セレクタ (40) の出力には、該セレクタ (40) の出力の並列 n ビットの Y 個多重の信号を並列にして Y 本の出力信号線に出力する並置列変換回路 (21, 22, 23, 24) とを夫々設け、且つ各入力信号線群 (1, 2, 3, 4) と各出力信号線群 (1', 2', 3', 4') 間の機能を入力信号線群単位に分割したクロスコネクト部 (71, 72, 73, 74) としたことを特徴とするクロスコネクト装置。

3 発明の詳細な説明

(概 要)

交換信号単位 n ビットよりなる N チャンネルを多

重化した伝送速度 $Xbps$ の入力信号線 Y 本よりなる入力信号線群 y 個の全データをメモリに書き込み、読み出して、出力信号線群 y 個の、 n ビットよりなる N チャネルを多重化し伝送速度 $Xbps$ の出力信号線 Y 本上では時間的空間的に交換信号単位で入れ換えるクロスコネクタ装置に関し、

使用入力信号線群及び出力信号線群が全実装より少ない場合は、容易に小規模なハードウェアで構成出来るクロスコネクタ装置の提供を目的とし、

各入力信号線群と各出力信号線群間には、各入力信号線群に対して n ビットを並列にし且つ Y 個を多重する直並列変換回路と、入力信号線群 y 個の各直並列変換回路の各出力には、 y 個の該直並列変換回路にて変換されたデータを夫々交換信号単位の n ビットで各アドレスに書き込む単位メモリ y 個と、該 y 個の単位メモリより、読出しアドレス発生部よりのアドレスにて読み出した、所望の単位メモリの交換信号単位の n ビットを選択出力するセレクトと、

(従来の技術)

第4図は1例の入力信号線群の数が変化した場合のクロスコネクタ装置の構成を示す図、第5図は従来例のクロスコネクタ装置のブロック図である。

第4図は、第4図(A)に示す如く、入力信号線には、1フレームの、8ビット1チャネル(以下CHと称す)160CHが多重化され、伝送ビットレート及び素子の動作限界速度が50Mbpsで、単位メモリのアドレスの間口は1280個で、1アドレスには交換信号単位の8ビットを記憶する場合で、入力信号線が8本よりなる入力信号線群の数が1、2、4と増加した場合のクロスコネクタ装置の構成を示している。

第4図(B)は入力信号線群が1個の場合で、この場合は、直並列変換回路11にて8ビットに対応した8本並列(動作速度は50Mbpsの1/8になる)で、入力信号線8本に対応した8個多重の信号に変換し、単位メモリ30に書き込む。

この場合は、クロスコネクタする為に、8本の

該セレクトの出力には、該セレクトの出力の並列 n ビットの Y 個多重の信号を直列にして Y 本の出力信号線に出力する並直列変換回路とを夫々設け、且つ各入力信号線群と各出力信号線群間の機能を入力信号線群単位に分割したクロスコネクタ部とした構成とする。

(産業上の利用分野)

本発明は、フレキシブルな通信網を構成する為のクロスコネクタ装置の改良に関する。

クロスコネクタ装置とは、第3図の動作原理説明図に示す如く、例えば入力信号線80の1周期のA、B、C、Dの信号、入力信号線81の同じ1周期のイ、ロ、ハ、ニの信号を入力してメモリ100に書き込み、読み出して、2本の出力信号線90、91上ではA、B、ロ、D、イ、C、ハ、ニの如く、複数の入力信号線上のタイムスロットの信号を複数の出力信号線上では時間的空間的にも入れ換えるものである。

入力信号線の1フレーム160CHのデータをメモリに書き込むには、アドレス数が1280個必要となるが、これは1個の単位メモリ30で間に合うので、1280のアドレスに8ビットづつ書き込み、読出しアドレス発生部51より、所望の順に所望のデータを読み出すアドレスを発生させ、書き込んだ量と同じ量のデータを読出し、並直列変換回路21にて8本の出力信号線夫々に8ビット160CHの信号が来るように直列に変換し、クロスコネクタされた信号を8本の出力信号線よりなる出力信号線群1'より出力する。

第4図(C)に示す如く、入力信号線が16本で、入力信号線群が2個となると、16本の入力信号線の1フレーム160CHのデータをメモリに書き込むには、アドレス数は1280×2個必要となるので、単位メモリ30が2個必要となり、又単位メモリ30が2個の組が2個ないと、2つの出力信号線群1'、2'にクロスコネクタした信号を出力出来ないで、単位メモリ30、2個の組が2個設けてある。

そこで、直並列変換回路 11, 12 にて、入力信号線群 1, 2 の信号を夫々、8 本並列で 8 個多重した信号に変換し、夫々 2 個の単位メモリ 30 に書き込み、2 個の読出しアドレス発生部 52 より、所望の順に所望のデータを読み出すアドレスを発生させ、書き込んだ量と同じ量のデータを読み出し、夫々セレクト 41 にて、1 個の単位メモリ 30 より読み出した 8 ビットのデータを順次選択し、並直列変換回路 21, 22 にて、夫々 8 本の出力信号線夫々に 8 ビット 160 CH の信号が乗るように直列に変換し、クロスコネクタされた信号を 8 本の出力信号線よりなる出力信号線群 1', 2' より出力する。

即ち、入力信号線群が M 個になると、直並列変換回路は M 個必要になり、単位メモリ 30 は M 個の組が M 個必要になり、読出しアドレス発生部、及びセレクト及び並直列変換回路は M 個必要になる。

よって、第 4 図 (C) に示す如く、入力信号線が 32 本で、入力信号線群が 4 個となると、第 4

合のハードウェアを使用している為に、使用入力信号線群及び出力信号線群が少ない場合はハードウェアが大規模になり高価になる問題点がある。

本発明は、使用入力信号線群及び出力信号線群が全実装より少ない場合は、容易に小規模なハードウェアで構成出来るクロスコネクタ装置の提供を目的としている。

〔課題を解決するための手段〕

第 1 図は本発明の原理ブロック図である。

第 1 図に示す如く、交換信号単位 n ビットよりなる N チャンネルを多重化した伝送速度 $Xbps$ の入力信号線 Y 本よりなる入力信号線群 y 個 1, 2, 3, 4 の全データをメモリに書き込み、読み出して、出力信号線群 y 個 1', 2', 3', 4' の、 n ビットよりなる N チャンネルを多重化し伝送速度 $Xbps$ の出力信号線 Y 本上では時間的空間的に交換信号単位で入れ換えるクロスコネクタ装置において、

各入力信号線群 1, 2, 3, 4 と各出力信号線群

図 (C) に示す如く、直並列変換回路は 11 ~ 14 と 4 個となり、単位メモリ 30 は 4 個の組が 4 個となり、読出しアドレス発生部 53 及びセレクト 42 及び並直列変換回路 21 は 4 個の構成となる。

現在搬送端局装置のクロスコネクタ装置としては、全実装の場合、入力信号線 8 本の入力信号線群が 8 個となっているので、全実装の場合の構成を示すと、第 5 図に示す如く、直並列変換回路は 11 ~ 18 の 8 個となり、単位メモリ 30 は 8 個の組が 8 個となり、読出しアドレス発生部 50 及びセレクト 40 は 8 個、並直列変換回路は 21 ~ 28 の 8 個となる構成となつてゐる。

〔発明が解決しようとする課題〕

以上説明の如く、従来のクロスコネクタ装置では使用入力信号線群及び出力信号線群が最大の場合に最適となる構成であり、使用入力信号線群及び出力信号線群が全実装の場合より少ない場合でも、分割するのに手間がかかるので、全実装の場

1', 2', 3', 4' 間には、

各入力信号線群に対して n ビットを並列にし且つ Y 個を多重する直並列変換回路 11, 12, 13, 14 と、

入力信号線群 y 個の各直並列変換回路 11, 12, 13, 14 の各出力には、 y 個の該直並列変換回路 11, 12, 13, 14 にて変換されたデータを夫々交換信号単位の n ビットで各アドレスに書き込む単位メモリ 30 y 個と、

該 y 個の単位メモリ 30 より、読出しアドレス発生部 50 よりアドレスにて読み出した所望の単位メモリ 30 より交換信号単位の n ビットを選択出力するセレクト 40 と、

該セレクト 40 の出力には、該セレクト 40 の出力の並列 n ビットの Y 個多重の信号を直列にして Y 本の出力信号線に出力する並直列変換回路 21, 22, 23, 24 とを夫々設け、

且つ各入力信号線群 1, 2, 3, 4 と各出力信号線群 1', 2', 3', 4' 間の機能を入力信号線群単位に分割したクロスコネクタ部 71, 72,

73, 74 よりなるようにする。

〔作用〕

本発明によれば、全実装のクロスコネクタ装置を構成するのに、各入力信号線群1, 2, 3, 4と各出力信号線群1', 2', 3', 4'間の接続を入力信号線群単位に分割したクロスコネクタ部71, 72, 73, 74より構成するようになっている。

よつて、使用入力信号線群及び出力信号線群が全実装より少ない場合は、全実装のクロスコネクタ装置を分割し、入力信号線群の数に応じた数のクロスコネクタ部のハードウェアにて構成するので、容易に小規模なハードウェアよりなるクロスコネクタ装置が得られる。

〔実施例〕

第2図は本発明の実施例のクロスコネクタ装置のブロック図である。

第2図は第5図の従来例のクロスコネクタ装置

の入力信号線群1~8と出力信号線群1'~8'間の夫々の接続を、入力信号線群単位のクロスコネクタ部71~78にて構成し、容易にクロスコネクタ部単位に分割可能にしたもので、入力信号線群が1個の場合は、クロスコネクタ部71を使用し、入力信号線群が2個の場合は、クロスコネクタ部71, 72を使用するので、8個以下の入力信号線群の場合は、容易に小規模なハードウェアのクロスコネクタ装置とすることが出来る。

〔発明の効果〕

以上詳細に説明せる如く本発明によれば、入力信号線群が全実装の場合より少ない場合は、容易に小規模なハードウェアのクロスコネクタ装置が得られ、クロスコネクタ装置を安価にすることが出来る効果がある。

4 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の実施例のクロスコネクタ装置の

ブロック図、

第3図はクロスコネクタ装置の動作原理説明図、

第4図は1例の入力信号線群の数が増加した場合のクロスコネクタ装置の構成を示す図、

第5図は従来例のクロスコネクタ装置のブロック図である。

図において、

1~8 は入力信号線群、

1'~8' は出力信号線群、

11~18 は直並列変換回路、

21~28 は並直列変換回路、

30 は単位メモリ、

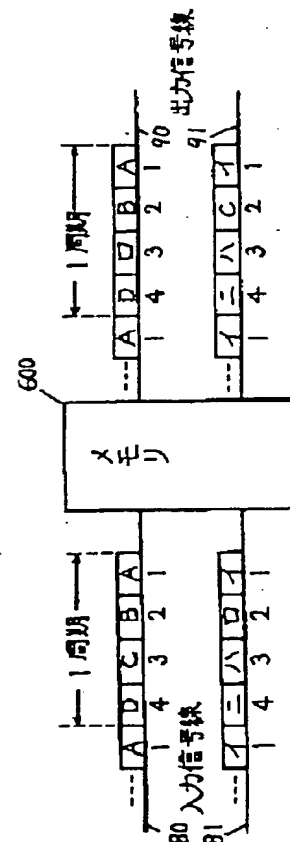
40, 41, 42 はセレクト、

50, 51, 52, 53 は読出しアドレス発生部、

60, 600 はメモリ、

80, 81 は入力信号線、

90, 91 は出力信号線を示す。



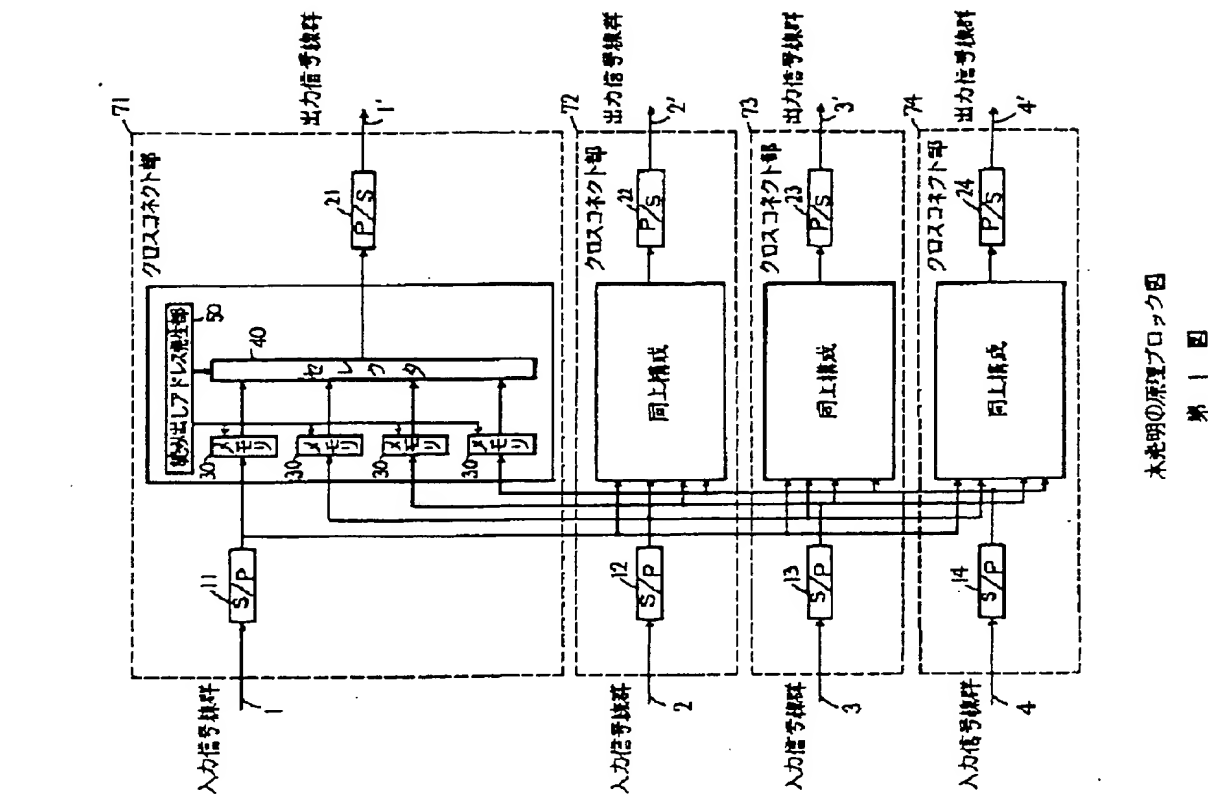
クロスコネクタ装置の動作原理説明図

図 3

代理人 井理士

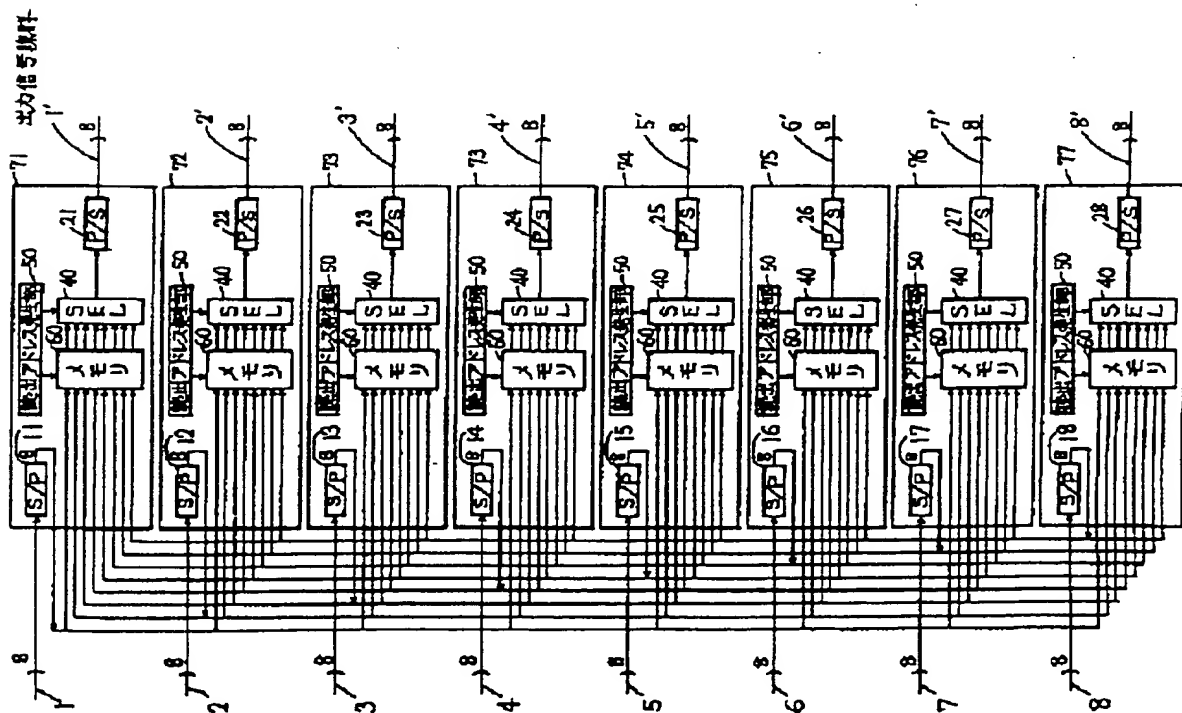
井 術 貞





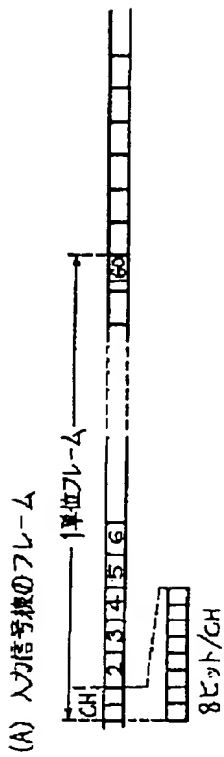
本発明の原理ブロック図

第 1 図



本発明の実施例のクロスコネクタ装置のブロック図

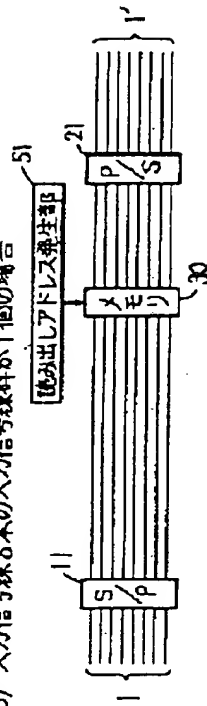
第 2 図



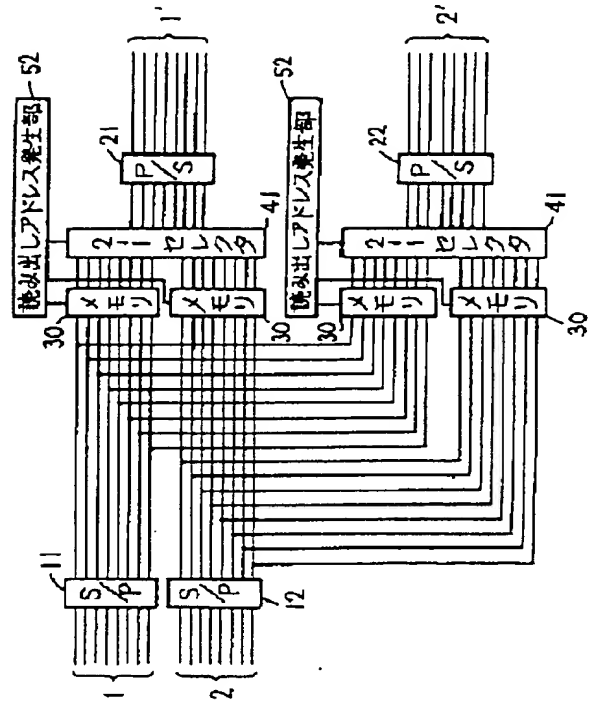
伝送速度 50 Mbps

使用 素子の限界速度 50 Mbps

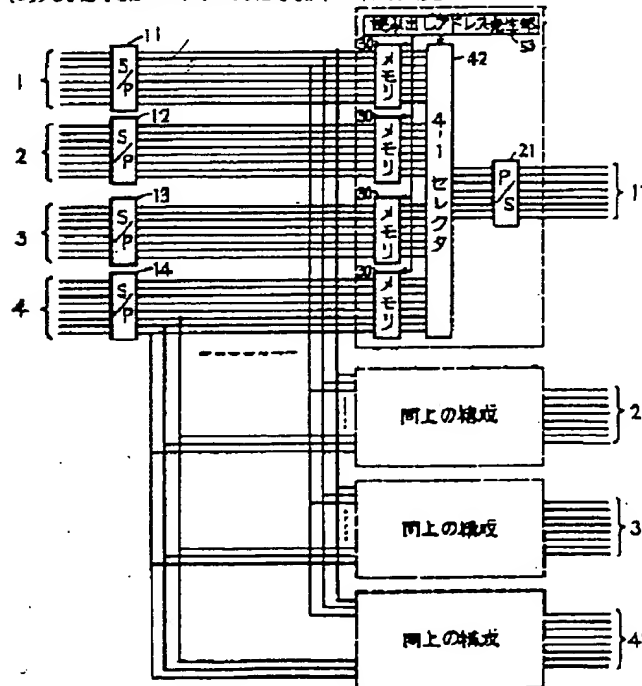
(B) 入力信号線8本の入力信号線群が1個の場合



(C) 入力信号線16本の入力信号線群が2個の場合



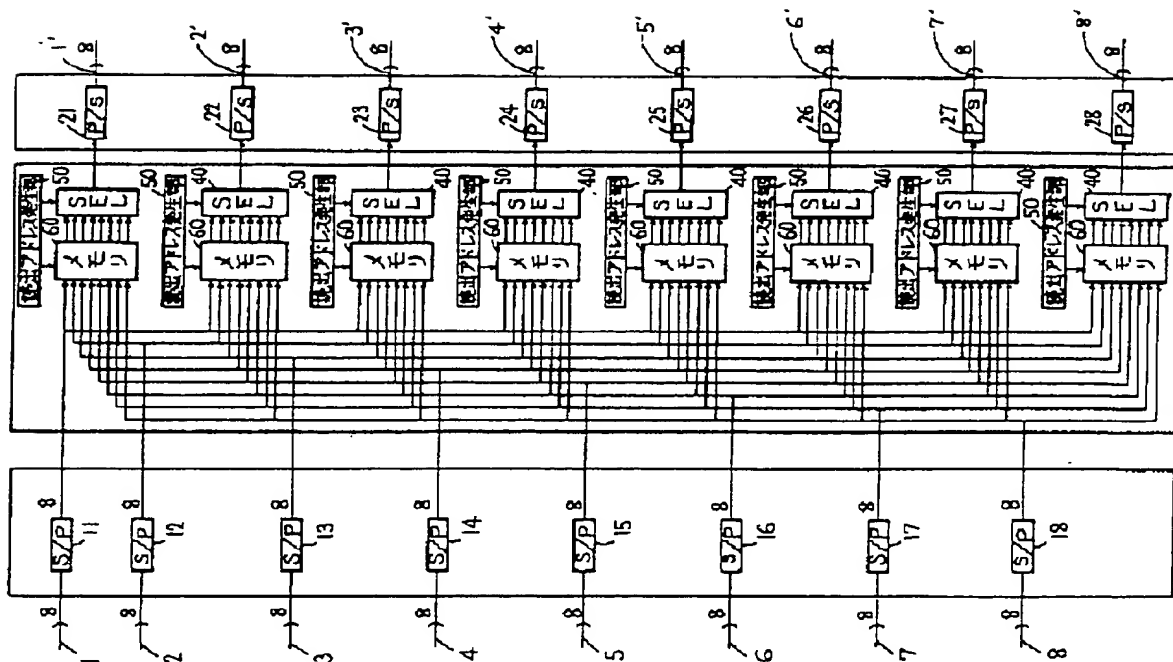
(D) 入力信号線が32本の入力信号線群が4個の場合



1例の入力信号線群数が増化した場合のクロスコネクタ装置の構成を示す図
第4図(その1)

1例の入力信号線群数が増化した場合のクロスコネクタ装置の構成を示す図

第4図(その1)



従来のクロスコネクタ装置のブロック図

第 5 図